

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-157119

(43)Date of publication of application : 30.05.2003

(51)Int.Cl.

G05F 3/24

(21)Application number : 2001-357454 (71)Applicant : DENSO CORP

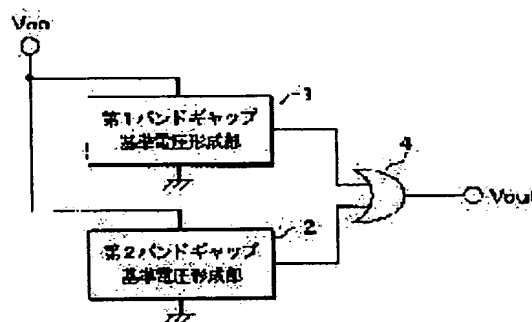
(22)Date of filing : 22.11.2001 (72)Inventor : YAMAMOTO SEI

## (54) BAND-GAP REFERENCE VOLTAGE GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a band-gap reference voltage generating circuit which can suppress variation and variance in output voltage even when the circuit is sealed with filler-containing resin.

SOLUTION: First and second band-gap reference voltage generation parts 1 and 2 are provided to generate constant voltages; and the output voltages of the 1st and 2nd band-gap reference voltage generation parts 1 and 2 are inputted to an OR circuit, which outputs the higher voltage. The output from the OR circuit 4 is the output voltage Vout of the band-gap reference voltage circuit.



## LEGAL STATUS

[Date of request for examination] 15.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3666448

[Date of registration] 15.04.2005

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-157119

(P2003-157119A)

(43) 公開日 平成15年5月30日 (2003. 5. 30)

(51) Int.Cl.<sup>7</sup>

G 0 5 F 3/24

識別記号

F I

G 0 5 F 3/24

テームコード\* (参考)

B 5 H 4 2 0

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2001-357454 (P2001-357454)

(22) 出願日 平成13年11月22日 (2001. 11. 22)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 山本 聖

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外2名)

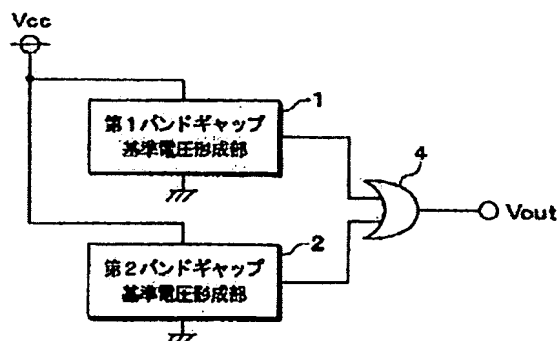
Fターム (参考) 5H420 NA23 NA36 NB02 NC35 NE23

(54) 【発明の名称】 バンドギャップ基準電圧形成回路

(57) 【要約】

【課題】 フィラー入りの樹脂にて封止しても、出力電圧の変動とばらつきを抑制できるバンドギャップ基準電圧回路を提供する。

【解決手段】 定電圧を発生させる第1、第2バンドギャップ基準電圧形成部1、2を設け、第1、第2バンドギャップ基準電圧形成部1、2の各出力電圧をOR回路部4に入力し、高い方の電圧がOR回路4から出力されるようにする。このOR回路4からの出力をバンドギャップ基準電圧回路の出力電圧V<sub>out</sub>とする。



1

## 【特許請求の範囲】

【請求項1】 定電圧を出力するバンドギャップ基準電圧回路であって、

前記定電圧を形成する第1バンドギャップ基準電圧形成部(1)と、

前記定電圧を形成する第2バンドギャップ基準電圧形成部(2)とを備え、

前記第1、第2バンドギャップ基準電圧形成部の出力電圧のうち高い方の電圧を出力することにより、前記定電圧を出力するように構成されていることを特徴とするバンドギャップ基準電圧回路。

【請求項2】 前記第1、第2バンドギャップ基準電圧形成部の出力電圧のうち、高い方の電圧を出力する選択部(4)が備えられていることを特徴とする請求項1に記載のバンドギャップ基準電圧回路。

【請求項3】 前記第1バンドギャップ基準電圧形成部は、電流密度の異なる電流が流される第1、第2のトランジスタ(T11、T12)と、前記第1、第2のトランジスタそれぞれに流れる電流の変動に応じて電位が変動する第1、第2電位点(A、B)の電位が入力される第1オペアンプ(5a、6a、7a、8a、9a)とを有して構成され、前記第1オペアンプの出力に基づいて前記第1、第2のトランジスタに流される電流が調整されるようになっており、

前記第2バンドギャップ基準電圧形成部は、電流密度の異なる電流が流される第3、第4のトランジスタ(T21、T22)と、前記第3、第4のトランジスタそれぞれに流れる電流の変動に応じて電位が変動する第3、第4電位点の電位が入力される第2オペアンプ(5b、6b、7b、8b、9b)とを有して構成され、前記第2オペアンプの出力に基づいて前記第3、第4のトランジスタに流される電流が調整されるようになっており、

前記第1バンドギャップ基準電圧形成部は、電流密度の異なる電流が流される第1、第2のトランジスタ(T31、T32)と、前記第1、第2のトランジスタそれぞれに流れる電流の変動に応じて電位が変動する第1、第2電位点(A'、B')の電位が入力される第1オペアンプ(52a)と、前記第1、第2トランジスタに直列接続された第1の抵抗(R34)とを有して構成され、前記第1オペアンプの出力に基づいて前記第1、第2のトランジスタに流される電流が調整されるようになっており、

前記第2バンドギャップ基準電圧形成部は、電流密度の異なる電流が流される第3、第4のトランジスタ(T41、T42)と、前記第3、第4のトランジスタそれぞれに流れる電流の変動に応じて電位が変動する第3、第4電位点の電位が入力される第2オペアンプ(52b)と、前記第3、第4トランジスタに直列接続された第2

2

の抵抗(R44)とを有して構成され、前記第2オペアンプの出力に基づいて前記第3、第4のトランジスタに流される電流が調整されるようになっており、前記第1に記載のバンドギャップ基準電圧回路。

【請求項5】 前記定電圧を形成する第3バンドギャップ基準電圧形成部(3a)と、

温度に対する前記第3バンドギャップ基準電圧形成部の出力電圧の変化の極大値が、前記第1、第2バンドギャップ基準電圧形成部の出力電圧の極大値からずれるようにシフトさせる第1のレベルシフト回路部(3b)とを備え、

前記第1～第3バンドギャップ基準電圧形成部の出力電圧のうち最も高い電圧を出力することにより、前記定電圧を出力するように構成されていることを特徴とする請求項1乃至4のいずれか1つに記載のバンドギャップ基準電圧回路。

【請求項6】 前記定電圧を形成する第4バンドギャップ基準電圧形成部と、

温度に対する前記第4バンドギャップ基準電圧形成部の出力電圧の変化の極大値が、前記第3バンドギャップ基準電圧形成部の出力電圧の極大値と等しくなるようにシフトさせる第2レベルシフト回路部とを備え、

前記第1～第4バンドギャップ基準電圧形成部の出力電圧のうち最も高い電圧を出力することにより、前記定電圧を出力するように構成されていることを特徴とする請求項5に記載のバンドギャップ基準電圧回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、定電圧を出力できるバンドギャップ基準電圧回路に関するもので、特に、車両に搭載される半導体装置内に形成されるような高精度のバンドギャップ基準電圧回路に適用して好適である。

【0002】

【従来の技術および発明が解決しようとする課題】従来より、IC内部の基準電圧を形成する回路としてバンドギャップ基準電圧回路が用いられている。このバンドギャップ基準電圧回路が形成されたICチップをフィラー入りの樹脂にて封止した半導体装置を製造したところ、回路特性が変動して出力電圧が低下していることが確認され、また、サンプル毎にその変動量がばらつきが生じていることが確認された。図8は、この結果を示したものであり、樹脂をコーティングした初期にはあまり出力電圧が変わらないが、樹脂が固化していくにつれ、加えられる応力の大きさに応じて出力電圧が変動していることが分かる。

【0003】このように出力電圧の変動、ばらつきが生じると、高精度が要求される条件下においてバンドギャップ基準電圧回路を基準電圧として使用できなくなる。

【0004】一般的に、ICチップに応力が加わると、

ICチップの電気特性が変動することが知られている。バンドギャップ基準電圧回路の場合には、応力が増えられ、回路中のトランジスタのVBE（ダイオードのVF）が小さくなり、出力電圧が低下する。

【0005】このため、本発明者らは樹脂封止によって何らかの応力が発生していると考え、様々な実験を行った。その結果、半導体装置の製造後に封止樹脂を除去したらバンドギャップ基準電圧回路の出力電圧が樹脂封止前に戻ること、バンドギャップ基準電圧回路がICチップ上のどの位置にあっても出力電圧の変動やばらつきが発生すること等が確認された。これらの結果からも、封止用の樹脂によりICチップの表面全域に何らかの応力が加わえられていると推測できる。

【0006】また、樹脂に含まれるフィラーも応力の一因になっていると考え、フィラーを除いた封止樹脂を用いて、樹脂封止型半導体装置を作製した。その結果、従来のフィラーを含む封止樹脂を用いた場合と比較して、樹脂封止後の方がバンドギャップ基準電圧回路の出力電圧の変動やばらつきが小さくなっていた。このことから、封止樹脂に含まれるフィラーが出力電圧の変動やばらつきに関与していると考えられる。例えば、ICチップ表面に接触するフィラーに様々な応力が集中し、ICチップ表面にフィラーからの垂直方向の圧縮応力が加えられ、出力電圧が変動していると推測される。また、封止樹脂中に存在するフィラーの大きさが均一でないこと、封止樹脂中では部位によってフィラーの存在する密度が異なること、さらにはバンドギャップ基準電圧回路が占める面積の広さによって接触するフィラーの数量が異なること等により、加えられる応力がばらつき、出力電圧のばらつきが大きくなっていると推測される。

【0007】これらの検討によれば、封止樹脂に含まれるフィラーを除くことで、出力電圧の変動やばらつきの増大を抑制できると言えるが、フィラーを含有させないと封止樹脂の熱膨張係数がICチップやリードよりも大きくなるため、使用温度範囲が広い分野では採用できない。

【0008】本発明は上記点に鑑みて、フィラー入りの樹脂にて封止しても、出力電圧の変動やばらつきを抑制できるバンドギャップ基準電圧回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明では、定電圧を出力するバンドギャップ基準電圧回路であって、定電圧を形成する第1バンドギャップ基準電圧形成部（1）と、定電圧を形成する第2バンドギャップ基準電圧形成部（2）とを備え、第1、第2バンドギャップ基準電圧形成部の出力電圧のうち高い方の電圧を出力することにより、定電圧を出力するように構成されていることを特徴としている。

【0010】このような構成によれば、第1、第2バン

ドギャップ基準電圧形成部それぞれの出力電圧のうち高い方の出力電圧が出力されることになる。このため、仮に封止用の樹脂から応力を受け、第1、第2バンドギャップ基準電圧形成部のいずれか一方の出力電圧が低下しても、応力の影響が少ない高い側の出力電圧がバンドギャップ基準電圧回路の出力電圧として出力される。従って、バンドギャップ基準電圧回路の出力電圧の変動、ばらつきを小さくすることができる。これにより、バンドギャップ基準電圧回路の出力電圧がほぼ一定の電圧となり、フィラー入りの樹脂で封止しても出力電圧の変動、ばらつきが少ないバンドギャップ基準電圧回路とすることができる。

【0011】この場合、請求項2に示すように、第1、第2バンドギャップ基準電圧形成部の出力電圧のうち、高い方の電圧を出力する選択部（4）を備えることもできる。

【0012】例えば、請求項3に示すように、第1バンドギャップ基準電圧形成部は、電流密度の異なる電流が流される第1、第2のトランジスタ（T11、T12）と、第1、第2のトランジスタそれぞれに流れる電流の変動に応じて電位が変動する第1、第2電位点（A、B）の電位が入力される第1オペアンプ（5a、6a、7a、8a、9a）とを有して構成され、第1オペアンプの出力に基づいて第1、第2のトランジスタに流される電流が調整されるようになっており、第2バンドギャップ基準電圧形成部は、電流密度の異なる電流が流される第3、第4のトランジスタ（T21、T22）と、第3、第4のトランジスタそれぞれに流れる電流の変動に応じて電位が変動する第3、第4電位点の電位が入力される第2オペアンプ（5b、6b、7b、8b、9b）とを有して構成され、第2オペアンプの出力に基づいて第3、第4のトランジスタに流される電流が調整されるような回路構成を採用することができる。

【0013】また、請求項4に示すように、第1バンドギャップ基準電圧形成部は、電流密度の異なる電流が流される第1、第2のトランジスタ（T31、T32）と、第1、第2のトランジスタそれぞれに流れる電流の変動に応じて電位が変動する第1、第2電位点（A'、B'）の電位が入力される第1オペアンプ（52a）と、第1、第2トランジスタに直列接続された第1の抵抗（R34）とを有して構成され、第1オペアンプの出力に基づいて第1、第2のトランジスタに流される電流が調整されるようになっており、第2バンドギャップ基準電圧形成部は、電流密度の異なる電流が流される第3、第4のトランジスタ（T41、T42）と、第3、第4のトランジスタそれぞれに流れる電流の変動に応じて電位が変動する第3、第4電位点の電位が入力される第2オペアンプ（52b）と、第3、第4トランジスタに直列接続された第2の抵抗（R44）とを有して構成され、第2オペアンプの出力に基づいて第3、第4のト

T11との接続点(第1電位点)Aがベース電圧として入力されるトランジスタT13と、抵抗R12とトランジスタT11との接続点(第2電位点)Bがベース電圧として入力されるトランジスタT14と、各トランジスタT13、T14のエミッタに接続された抵抗R14とを有して構成されている。

【0029】カレントミラー回路部7aは、差動対6aの取り出し口となるもので、互いのベースが接続されたトランジスタT15、T16とを有して構成され、各トランジスタT15、T16に同等の電流を流すようになっている。

【0030】ゲイン形成部8aは、差動対6aに設けられたトランジスタT14への電流供給を行なうトランジスタT17と、トランジスタT14に直接接続された抵抗R15と、トランジスタT17の電流供給の変動を増幅することによってゲインを稼ぐトランジスタT18とを有して構成されている。

【0031】また、エミッタホロウ回路部9aは、トランジスタT19と、トランジスタT19のベース-コレクタ間に接続された抵抗R16とにより構成されている。

【0032】これら、差動対6a、カレントミラー回路部7a、ゲイン形成部8aおよびエミッタホロウ回路部9aにより、オペアンプ(第1オペアンプ)が構成されている。なお、コンデンサC1は、これらによって構成されるオペアンプの位相補償のために設けられており、発振を防止する。

【0033】このように構成された第1バンドギャップ基準電圧形成部1は、抵抗R11、R12それぞれに接続されたトランジスタT11およびトランジスタT12に電流密度の異なる電流を流すことにより、以下のような動作を行なう。

【0034】トランジスタT11とトランジスタT12とは互いのベースが接続された状態になっている。このため、トランジスタT11のコレクタ電流を $I_{c1}$ 、ベース-エミッタ電圧を $V_{BE11}$ 、トランジスタT12のコレクタ電流を $I_{c2}$ 、ベース-エミッタ電圧を $V_{BE12}$ とすると、抵抗R13に流れる $I_{c2}$ は各ベース-エミッタ電圧 $V_{BE11}$ 、 $V_{BE12}$ の差電圧に応じた電流値となる。すなわち、次式のように表される。

【0035】

【数1】

$$I_{c2} = (V_{BE11} - V_{BE12}) / R_{13}$$

また、トランジスタT11のベース電流を $I_{b1}$ 、エミッタ電流を $I_{e1}$ 、トランジスタT12のベース電流を $I_{b2}$ 、エミッタ電流を $I_{e2}$ とすると、各ベース電流 $I_{b1}$ 、 $I_{b2}$ が各コレクタ電流 $I_{c1}$ 、 $I_{c2}$ よりも十分に小さく無視できる程度であることから、各エミッタ電流 $I_{e1}$ 、 $I_{e2}$ が各コレクタ電流 $I_{c1}$ 、 $I_{c2}$ と同等であると言える。このため、各トランジスタT1

1、T12の特性変化に起因して各ベース-エミッタ電圧 $V_{BE11}$ 、 $V_{BE12}$ が変化すると、それに伴って抵抗R23に流れるコレクタ電流 $I_{c2}$ が変化し、接続点A、Bの電位の関係が変化する。そして、これら各接続点A、Bの電位が差動対6aを構成する2つのトランジスタT13、T14のベース電圧としてフィードバックされる。

【0036】ここで、各トランジスタT13、T14のコレクタ電流を $I_1$ 、 $I_2$ 、これら各トランジスタT13、T14のコレクタに接続された抵抗R14に流れる電流を $I$ とすると、両トランジスタT13、T14それぞれに接続されている取り出し用のトランジスタT15、T16がカレントミラー接続されており、各トランジスタT15、T16のコレクタ電流 $I_3$ 、 $I_4$ が等しくなることから、電流 $I_1$ 、 $I_2$ は基本的には $I/2$ となる。

【0037】しかしながら、上述したように接続点A、Bの電位の関係が変化すると、トランジスタT13、T14に流れるコレクタ電流 $I_1$ 、 $I_2$ の値が変動する。このため、例えば、トランジスタT14に流れる電流 $I_2$ が $I/2$ より大きくなろうとすると、カレントミラー接続された各トランジスタT15、T16のコレクタ電流 $I_3$ 、 $I_4$ が等しい値しか取れないため、不足電流分がトランジスタT17のベース電流で補われる。すると、トランジスタT17のコレクタ電流 $I_5$ 、言い換えれば抵抗R15に流れる電流の値が大きくなり、これに伴ってトランジスタT18のコレクタ電流 $I_6$ の値も大きくなる。

【0038】そして、コレクタ電流 $I_6$ は、抵抗R16に流れる電流 $I_7$ に相当することから、コレクタ電流 $I_6$ の増加、すなわち電流 $I_7$ の増加によってトランジスタT19のベース電位およびエミッタ電位が低下する。これにより、接続点A、Bの電位が調整され、出力電圧 $V_{out}$ が帰還されて定電位となろうとする。

【0039】一方、第2バンドギャップ基準電圧形成部2は、調整部5b、差動対6b、カレントミラー回路部7b、ゲイン形成部8bおよびエミッタホロウ回路部9bを有して構成されている。これら各部5b、6b、7b、8b、9bの構成は、第1バンドギャップ基準電圧形成部1に備えられた各部5a、6a、7a、8a、9aと同じ構成となっており、それぞれが同様の役割を果たす。具体的には、抵抗R21~R26がそれぞれ抵抗R11~R16に相応し、トランジスタT21~T29がトランジスタT11~T19に相応し、コンデンサC2がコンデンサC1に相応する。なお、本実施形態では、トランジスタT21、T22が本発明でいう第3、第4トランジスタに相当する。また、抵抗R21とトランジスタT21との接続点および抵抗R22とトランジスタT22との接続点が第3、第4電位点に相当する。

【0040】このような回路構成によれば、第1、第2

バンドギャップ基準電圧形成部1、2それぞれの出力電圧のうち高い方がバンドギャップ基準電圧回路の出力電圧 $V_{out}$ として出力される。このような回路構成により、上述したような効果を得ることができる。

【0041】(第2実施形態)上記第1実施形態では、図1に示すバンドギャップ基準電圧回路の一例として図2の回路構成を示したが、図3に示すような回路構成とすることも可能である。

【0042】図3に示すように、本実施形態では、第1バンドギャップ基準電圧形成部1が調整部51aおよびオペアンプ(第1オペアンプ)52aにて構成されており、第2バンドギャップ基準電圧形成部2も調整部51bとオペアンプ(第2オペアンプ)52bとを有して構成されている。

【0043】調整部51aは、抵抗R31、R32及びトランジスタT31と抵抗R33及びトランジスタT32とが並列接続され、各トランジスタT31、T32のエミッタに抵抗R34が接続されて構成されている。抵抗R31と抵抗R33は等しい抵抗値とされている。また、トランジスタT31、T32は、半導体基板上に形成されている面積が異なるものとされ、トランジスタT31がトランジスタT32よりも大面積とされている。そして、抵抗R31及びトランジスタT31の接続点(第1電位点)A'と抵抗R33及びトランジスタT32の接続点(第2電位点)B'の電位がオペアンプ52aに入力され、オペアンプ52aの出力がトランジスタT31、T32のベース電圧とされるように構成されている。

【0044】このような構成では、抵抗R31、R33それぞれに接続されたトランジスタT31およびトランジスタT32に電流密度の異なる電流を流すことにより、以下のような動作を行なう。

【0045】抵抗R31及びトランジスタT31に流れる電流をI31とし、抵抗R33及びトランジスタT32に流れる電流をI32とすると、抵抗R31、R33の抵抗値を等しくしていることから、電流I31、I32が等しくなる。このとき、トランジスタT31、T32の形成面積が上記関係とされ、トランジスタT32のベース-エミッタ電圧 $V_{BE32}$ がトランジスタT31のベース-エミッタ電圧 $V_{BE31}$ よりも小さくなることから、電流I31、I32が等しくされてもトランジスタT31、T32に異なる電流密度の電流が流れることになる。

【0046】そして、各接続点A'、B'の電位がオペアンプ52aにフィードバックされると、オペアンプ52aの出力にて各トランジスタT31、T32へのベース電圧が調整される。例えば、電流I31、I32のいずれかの値が増加しようとする、その増加分がオペアンプ52aにて下げられるように作動する。

【0047】一方、調整部51bも調整部51aと同様

の構成となっており、同様に作動する。具体的には、抵抗R41~R44が抵抗R31~33、トランジスタT41、T42がトランジスタT31、T32と同様の役割を果たす。また、オペアンプ52bもオペアンプ52aと同様の構成となっており、同様に作動する。

【0048】このような回路構成を採用しても、第1実施形態と同様の効果を得ることができる。

【0049】なお、本実施形態では、トランジスタT31、T32、T41、T42それぞれが本発明でいう第1~第4のトランジスタに相当する。また、抵抗R34、R44が本発明でいう第1、第2の抵抗に相当する。また、抵抗R41とトランジスタT41との接続点および抵抗R42とトランジスタT42との接続点が第3、第4電位点に相当する。

【0050】(第3実施形態)バンドギャップ基準電圧回路は、温度変化が生じても定電圧を出力できるようにするのが好ましい。しかしながら、バンドギャップ基準電圧回路に備えられるトランジスタ等が温度特性を有していることから、実際にはバンドギャップ基準電圧回路は、温度に対する2次係数を持ったものとなっている。このバンドギャップ基準電圧回路の温度に対する出力電圧特性は図4のように表され、温度変化に対して上に凸の特性を示す。高精度電源などの基準電圧としてバンドギャップ基準電圧回路を用いる場合、上述のような2次係数が問題となり、より温度に対する出力電圧の変化が少ないバンドギャップ基準電圧回路が要求されることになる。

【0051】そこで、本実施形態では、応力に起因する出力電圧の変動だけでなく、温度に起因する出力電圧の変動も防止する。

【0052】図5に、本実施形態におけるバンドギャップ基準電圧回路のブロック構成を示す。この図に示されるように、本実施形態では、第1実施形態に対して第3バンドギャップ基準電圧形成部3aおよびレベルシフト回路部(第1のレベルシフト回路部)3bを備えていることが異なる。

【0053】第3バンドギャップ基準電圧形成部3aは、基本的には第1、第2バンドギャップ基準電圧形成部1、2と同様の構成となっており、所定の定電圧を出力電圧として発生させる回路を構成している。レベルシフト回路部3bは、第3バンドギャップ基準電圧形成部3aの出力電圧の温度特性をシフトさせるものである。このレベルシフト回路部3bにより、第3バンドギャップ基準電圧形成部3aの出力電圧が極大値をとる時の温度が、第1、第2バンドギャップ基準電圧形成部1、2の出力電圧が極大値をとる時の温度からシフトされる。例えば、低温~室温領域に第1、第2バンドギャップ基準電圧形成部1、2の出力電圧の極大値が位置し、室温~高温領域に第3バンドギャップ基準電圧形成部3aの出力電圧の極大値が位置するように設定する。

【0054】そして、第1～第3バンドギャップ基準電圧形成部1、2、3aの各出力電圧がOR回路部4に入力され、OR回路部4からバンドギャップ基準電圧回路の出力電圧Voutが出力されるようになっている。

【0055】このような回路構成によれば、第1～第3バンドギャップ基準電圧形成部1、2、3aの出力電圧のうち高いもの出力電圧がOR回路部4から出力されることになる。このため、例えば、低温～室温領域では第1、第2バンドギャップ基準電圧形成部1、2いずれかの出力電圧、室温～高温領域では第3バンドギャップ基準電圧形成部3aの出力電圧がバンドギャップ基準電圧回路の出力電圧Voutとして出力される。

【0056】従って、低温～室温および室温～高温の範囲において、第1～第3バンドギャップ基準電圧形成部1、2、3aの出力電圧が合成されて出力電圧Voutが形成されることになり、出力電圧Voutの変動を小さくすることができる。これにより、広い温度範囲において出力電圧Voutがほぼ一定の電圧となり、温度に対する出力電圧の変化が少ないバンドギャップ基準電圧回路とすることができる。

【0057】図6に、本実施形態におけるバンドギャップ基準電圧回路の具体的な構成例を示す。図6に示すバンドギャップ基準電圧回路のうち、紙面右側が第1バンドギャップ基準電圧形成部1であり、紙面左側が第3バンドギャップ基準電圧形成部3aおよびレベルシフト回路部3bである。なお、ここでは、図を簡略化するため、第2バンドギャップ基準電圧形成部2を示していないが、実際には第1バンドギャップ基準電圧形成部1と第3バンドギャップ基準電圧形成部3aに存在する。

【0058】第3バンドギャップ基準電圧形成部3aは、調整部5c、差動対6c、カレントミラー回路部7c、ゲイン形成部8cおよびエミッタホロワ回路部9cを有して構成されている。このうち、調整部5c、差動対6c、カレントミラー回路部7c、ゲイン形成部8cおよびエミッタホロワ回路部9cにてオペアンプ（第3オペアンプ）が構成されている。そして、この第3バンドギャップ基準電圧形成部3aに、レベルシフト回路部3bに相当する抵抗R60が接続されている。

【0059】調整部5c、差動対6c、カレントミラー回路部7c、ゲイン形成部8cおよびエミッタホロワ回路部9cの構成は第1、第2バンドギャップ基準電圧形成部1、2と同様であり、それぞれが同様の役割を果たす。具体的には、抵抗R61～R66がそれぞれ抵抗R11～R16、R21～R26に相応し、トランジスタT61～T69がトランジスタT11～T19、T21～T29に相応し、コンデンサC3がコンデンサC1、C2に相応する。

【0060】また、レベルシフト回路部3bに相当する抵抗R60は、並列接続された抵抗R61及びトランジスタT61と抵抗R62及びトランジスタT62それぞ

れに直接接続されている。この抵抗R60により、第3バンドギャップ基準電圧形成部3aの温度に対する出力電圧特性の関係が第1、第2バンドギャップ基準電圧形成部1、2のそれと異なったものとなるようにされる。

【0061】このような構成により、広い温度範囲において出力電圧Voutがほぼ一定の電圧となり、温度に対する出力電圧の変化が少ないバンドギャップ基準電圧回路とすることができる。

【0062】シミュレーションにより、第1～第3バンドギャップ基準電圧形成部1、2、3aの温度に対する出力電圧特性を調べたところ、図7(a)のような結果が得られた。この図は、図7(b)に示されるように、第1～第3バンドギャップ基準電圧形成部1、2、3aそれぞれでの出力電圧を求め、これらを合成したものである。このシミュレーション結果からも、第1～第3バンドギャップ基準電圧形成部1、2、3aの各出力電圧が極大値を採る時の温度が異なっていることが確認できる。

【0063】そして、第1～第3バンドギャップ電圧形成部1、2、3aの各出力電圧のうち高い方が出力電圧Voutとなることから、第1～第3バンドギャップ電圧形成部1、2、3aの各出力電圧の極大値となる温度がずれると、図7(a)で表されるように、低温～高温の範囲内において出力電圧Voutの変動が小さくなることが分かる。

【0064】（他の実施形態）上記第1～第3実施形態では、バンドギャップ基準電圧回路の例として、図2、図3、図6に示す回路構成を示したが、一般的に知られている他の構成を採用しても構わない。

【0065】また、第2実施形態では、電流I31、I32を同等の電流にするために、抵抗R31、R33を等しい抵抗値としたが、カレントミラー回路を用いることにより、それを実現しても良い。

【0066】また、上記第3実施形態において、第3バンドギャップ基準電圧部3aおよびレベルシフト回路部3bと同様の構成の第4バンドギャップ基準電圧回路部および第2レベルシフト回路部をもう1組設けるようにすれば、これらのバンドギャップ基準電圧部の出力電圧が応力に起因して変動しても第1実施形態に示した効果を得ることが可能である。

【0067】さらに、第3実施形態のように温度変化に対して出力電圧の変動を抑える場合についても、第2実施形態に示したバンドギャップ基準電圧回路を採用することが可能である。この場合、例えば、図3における第1バンドギャップ基準電圧形成部1と同等の構成を有する第3バンドギャップ基準電圧形成部を備え、抵抗R34に相当する抵抗の抵抗値を調整することで、第3バンドギャップ基準電圧形成部の出力電圧の極大値となる温度を第1、第2バンドギャップ基準電圧形成部1、2のそれからシフトさせることが可能である。



【0068】なお、以上の説明では、第1、第2バンドギャップ基準電圧形成部1、2の2つを設ける場合について説明したが、2つに限る必要はなく、より多く同様の構成のものを備えるようにすれば、より高精度のバンドギャップ基準電圧回路とすることができる。勿論、第3バンドギャップ基準電圧部3aおよびレベルシフト回路部3bと同等のものを2つ以上とすることも可能である。

【図面の簡単な説明】

【図1】本発明の第1実施形態におけるバンドギャップ基準電圧回路のブロック構成を示す図である。

【図2】図1に示すバンドギャップ基準電圧回路の具体的な回路構成の一例を示した図である。

【図3】第2実施形態におけるバンドギャップ基準電圧回路を示した図である。

【図4】従来のバンドギャップ基準電圧回路における温\*

\*度と出力電圧 $V_{out}$ との関係を示した図である。

【図5】本発明の第3実施形態におけるバンドギャップ基準回路のブロック構成を示す図である。

【図6】図5に示すバンドギャップ基準電圧回路の具体的な回路構成の一例を示した図である。

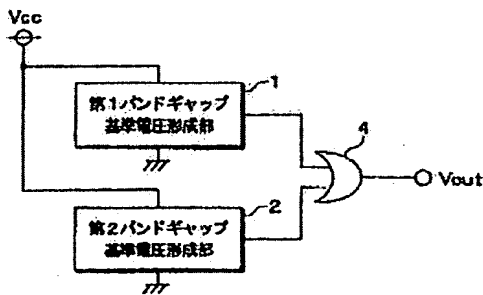
【図7】図6に示すバンドギャップ基準電圧回路を用いた場合における温度と出力電圧 $V_{out}$ との関係を示した図である。

【図8】温度に対する応力の変化量を示した図である。

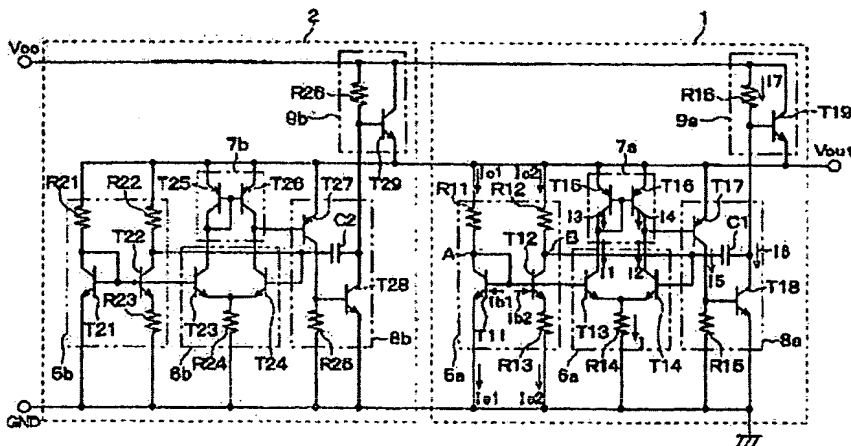
【符号の説明】

1、2、3a…第1、第2バンドギャップ基準電圧形成部、3b…レベルシフト部、4…OR回路部、5a～5c…調整部、6a～6c…差動対、7a～7c…カレントミラー回路部、8a～8c…ゲイン形成部、9a～9c…エミッタホロウ回路部。

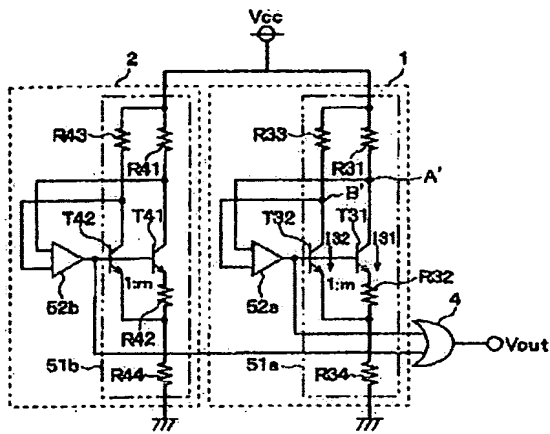
【図1】



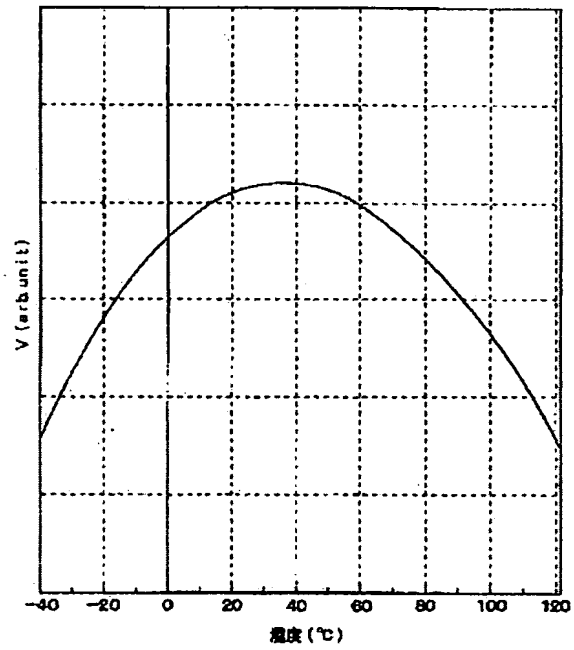
【図2】



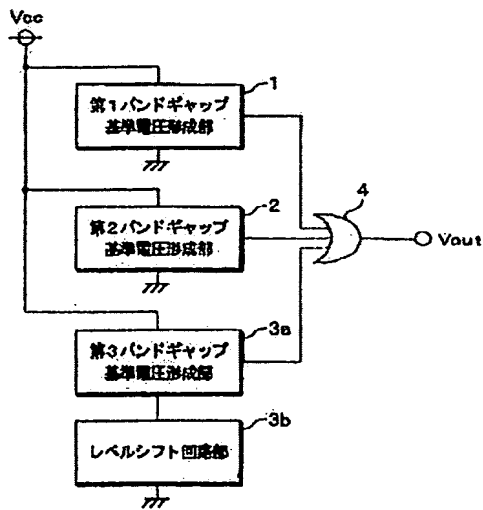
【図3】



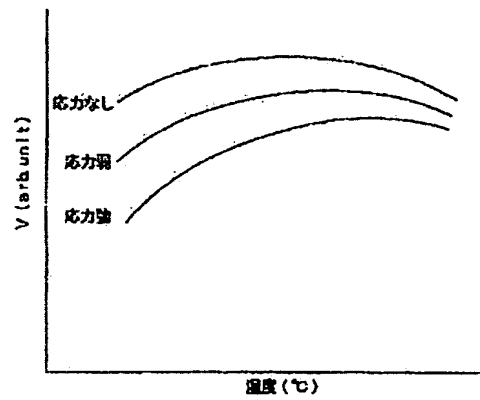
【図4】



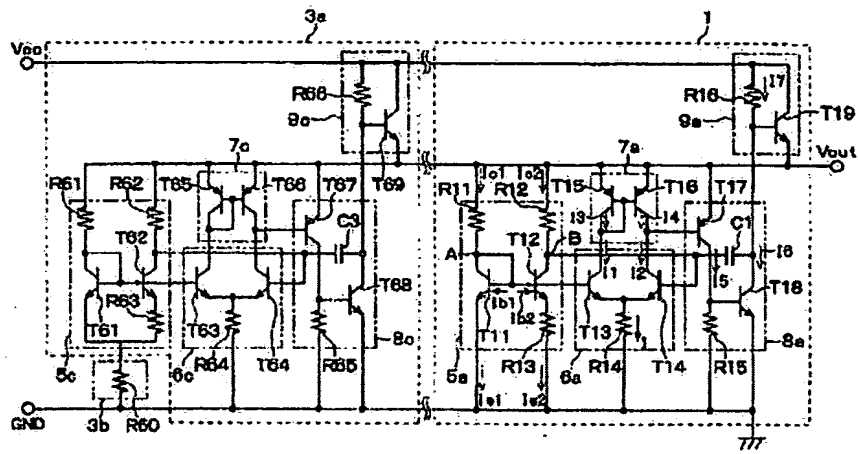
【図5】



【図8】

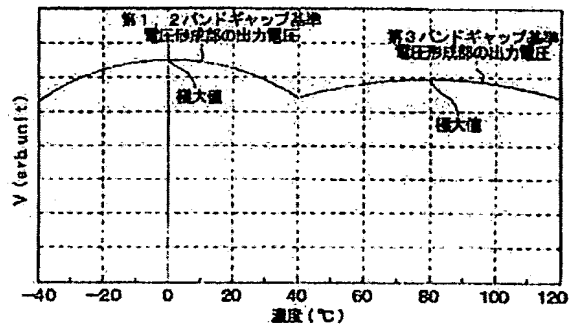


【図6】



【図7】

(a)



(b)

